

A12

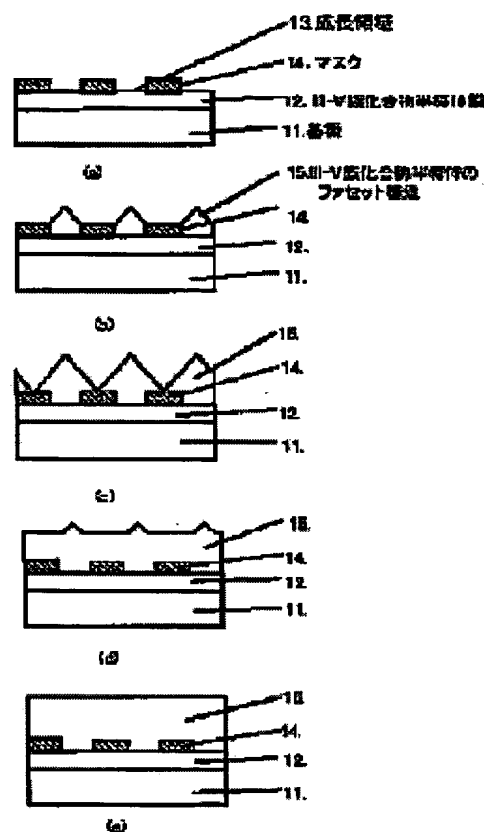
III-V COMPOUND SEMICONDUCTOR FILM AND GROWTH METHOD, GAN SYSTEM SEMICONDUCTOR FILM AND ITS FORMATION, GAN SYSTEM SEMICONDUCTOR STACKED STRUCTURE AND ITS FORMATION, AND GAN SYSTEM SEMICONDUCTOR ELEMENT AND ITS MANUFACTURE

Patent number: JP10312971
Publication date: 1998-11-24
Inventor: SUNAKAWA HARUO; USUI AKIRA
Applicant: NEC CORP
Classification:
- international: H01L21/205; C30B29/40; H01L33/00
- european:
Application number: JP19980062760 19980313
Priority number(s):

Abstract of JP10312971

PROBLEM TO BE SOLVED: To suppress the introduction of defects by suppressing cracks generated by difference in the thermal expansion coefficients between a growing III-V comp. semiconductor layer and a substrate crystal, and a difference in grid constants.

SOLUTION: Through the use of a substrate limiting a growing region 13 by a mask 14, the facet structure of a III-V comp. semiconductor film 15 is formed (b) by epitaxial growth, for growing (c) the facet structure to cover the mask 14. In addition, the facet structure is completely embedded (d). A III-V comp. semiconductor layer with a flat surface is finally formed (e).



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-312971

(43) 公開日 平成10年(1998)11月24日

(51) Int.Cl.⁶

識別記号

F I

H 0 1 L 21/205

H 0 1 L 21/205

C 3 0 B 29/40

C 3 0 B 29/40

D

H 0 1 L 33/00

H 0 1 L 33/00

C

審査請求 有 請求項の数31 O L (全 15 頁)

(21) 出願番号 特願平10-62760

(22) 出願日 平成10年(1998) 3 月13日

(31) 優先権主張番号 特願平9-59076

(32) 優先日 平 9 (1997) 3 月13日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目 7 番 1 号

(72) 発明者 砂川 晴夫

東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

(72) 発明者 碓井 彰

東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

(74) 代理人 弁理士 京本 直樹 (外 2 名)

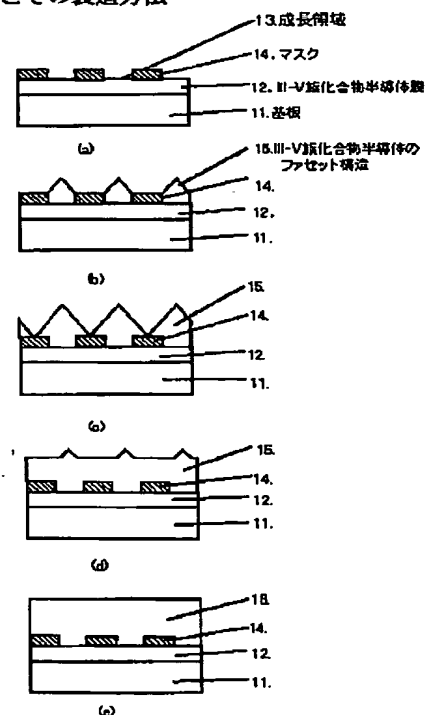
(54) 【発明の名称】 I I I - V 族化合物半導体膜とその成長方法、G a N 系半導体膜とその形成方法、G a N 系半導体積層構造とその形成方法、G a N 系半導体素子とその製造方法

(57) 【要約】

【課題】 成長する I I I - V 族化合物半導体層と基板結晶の熱膨張係数差、および格子定数差によって生じるクラックを抑え、欠陥の導入を抑制する。

【解決手段】 マスク 1 4 により成長領域 1 3 を制限した基板を用いて、エピタキシャル成長により I I I - V 族化合物半導体膜 1 5 のファセット構造を形成し

(b)、マスク 1 4 を覆うまでファセット構造を発達させる(c)。さらに、ファセット構造を完全に埋め込む(d)。最終的に平坦な表面を有する I I I - V 族化合物半導体成長層を形成する(e)。



【特許請求の範囲】

【請求項1】ⅢⅢⅢ-V族化合物半導体のエピタキシャル成長において、基板表面にパターンニングされたマスク材料により成長領域を形成する工程と、前記成長領域に前記基板と格子定数や熱膨張係数が異なるⅢⅢⅢ-V族化合物半導体を成長する工程と、前記成長領域で前記ⅢⅢⅢ-V族化合物半導体をファセット構造を形成しながら成長させ、隣接する成長領域のⅢⅢⅢ-V族化合物半導体とともに前記マスク材料を覆い、さらに前記ファセット構造を埋め込んで表面を平坦化する工程を有することを特徴するⅢⅢⅢ-V族化合物半導体の成長方法。

【請求項2】ⅢⅢⅢ-V族化合物半導体のエピタキシャル成長において、基板表面にパターンニングされたマスク材料により成長領域を形成する工程と、前記成長領域に前記基板と格子定数や熱膨張係数が異なるⅢⅢⅢ-V族化合物半導体を成長する工程と、前記成長領域で前記ⅢⅢⅢ-V族化合物半導体をファセット構造を形成しながら成長させ、隣接する成長領域のⅢⅢⅢ-V族化合物半導体とともに前記マスク材料を覆い、さらに前記ファセット構造を埋め込んで表面を平坦化する工程と、前記平坦化された表面に前記各工程を繰り返すことを特徴とするⅢⅢⅢ-V族化合物半導体の成長方法。

【請求項3】前記基板表面に、前記成長領域に成長するⅢⅢⅢ-V族化合物半導体と同じ材料か、あるいは格子定数や熱膨張係数の似た性質を有するⅢⅢⅢ-V族化合物半導体を形成した後に、前記パターンニングされたマスク材料により形成された成長領域を形成することを特徴とする請求項1又は2記載のⅢⅢⅢ-V族化合物半導体の成長方法。

【請求項4】前記マスク材料を用いて形成する成長領域がストライプ形状、矩形状、丸状、又は三角形状であることを特徴とする請求項1、2又は3記載のⅢⅢⅢ-V族化合物半導体の成長方法。

【請求項5】前記マスクの形状がストライプ形状であって、前記ファセット構造の側壁が{1-101}面であることを特徴とする請求項4記載のⅢⅢⅢ-V族化合物半導体の成長方法。

【請求項6】前記マスクの形状がストライプ形状であって、ストライプ方向が<11-20>方向または<1-100>方向であることを特徴とする請求項4記載のⅢⅢⅢ-V族化合物半導体の成長方法。

【請求項7】前記基板は、 $MgAl_2O_4$ 基板、Si基板、 ZnO 基板、SiC基板、 $LiGaO_2$ 基板、 Al_2O_3 基板のいずれか1つから選択され、前記ⅢⅢⅢ-V族化合物半導体は、Ga₂N膜、InGa₂N膜、AlGa₂N膜、InN膜、GaP膜、GaAs膜のいずれか1つから選択されることを特徴とする請求項1又は2又は3又は4記載のⅢⅢⅢ-V族化合物半導体の成長方法。

【請求項8】前記ⅢⅢⅢ-V族化合物半導体がGa₂N系

半導体であって、異なる組成の半導体層がGa₂N、InGa₂N、およびAlGa₂Nのうち少なくとも2つの材料から構成されていることを特徴とする請求項1又は2又は3又は4記載のⅢⅢⅢ-V族化合物半導体の成長方法。

【請求項9】ⅢⅢⅢ-V族化合物半導体と格子定数や熱膨張係数が異なる基板と、前記基板表面に成長領域を形成するパターンニングされたマスク材料と、前記成長領域でファセット構造を形成しながら成長したⅢⅢⅢ-V族化合物半導体が隣接する成長領域のⅢⅢⅢ-V族化合物半導体の成長とともに前記マスク材料を覆い、さらに前記ⅢⅢⅢ-V族化合物半導体の成長により前記ファセット構造が埋め込まれて形成されたⅢⅢⅢ-V族化合物半導体とを有することを特徴とするⅢⅢⅢ-V族化合物半導体膜。

【請求項10】ⅢⅢⅢ-V族化合物半導体と格子定数や熱膨張係数が異なる基板と、前記基板表面に成長領域を形成するパターンニングされたマスク材料と、前記成長領域でファセット構造を形成しながら成長したⅢⅢⅢ-V族化合物半導体が隣接する成長領域のⅢⅢⅢ-V族化合物半導体の成長とともに前記マスク材料を覆い、前記ⅢⅢⅢ-V族化合物半導体の成長により前記ファセット構造が埋め込まれて形成されたⅢⅢⅢ-V族化合物半導体とを有するⅢⅢⅢ-V族化合物半導体膜であって、前記ⅢⅢⅢ-V族化合物半導体膜から少なくとも前記基板、マスク材料が除去されていることを特徴とする特徴とするⅢⅢⅢ-V族化合物半導体膜。

【請求項11】前記基板表面に、前記成長領域に成長するⅢⅢⅢ-V族化合物半導体と同じ材料か、あるいは格子定数や熱膨張係数の似た性質を有するⅢⅢⅢ-V族化合物半導体が形成され、前記ⅢⅢⅢ-V族化合物半導体表面上にマスク材料による成長領域が形成されてることを特徴とする請求項9あるいは請求項10記載のⅢⅢⅢ-V族化合物半導体膜。

【請求項12】Ga₂N系半導体と格子定数や熱膨張係数が異なる基板表面、あるいは前記基板上に形成されたGa₂N系半導体表面にパターンニングされたマスク材料により成長領域を形成する工程と、前記成長領域にGa₂N系半導体がファセット構造を形成するように成長させ、隣接する成長領域のGa₂N系半導体とともに前記マスク材料を覆い、さらに前記ファセット構造を埋め込んで表面を平坦化する工程を有することを特徴とするGa₂N系半導体膜の形成方法。

【請求項13】請求項12に記載されたGa₂N系半導体膜の形成の後、前記Ga₂N系半導体膜から少なくとも前記基板、マスク材料を除去する工程とを有することを特徴とするGa₂N系半導体膜の形成方法。

【請求項14】Ga₂N系半導体と格子定数や熱膨張係数が異なる基板と、前記基板表面、あるいは前記基板上に形成されたGa₂N系半導体表面に成長領域を形成するパ

ターニングされたマスク材料と、前記成長領域でファセット構造を形成しながら成長したGaN系半導体が隣接する成長領域のGaN系半導体の成長とともに前記マスク材料を覆い、さらに前記GaN系半導体の成長により前記ファセット構造が埋め込まれて形成されたGaN系半導体を有することを特徴とするGaN系半導体膜。

【請求項15】請求項14記載の前記GaN系半導体膜から少なくとも前記基板、マスク材料が除去されていることを特徴とするGaN系半導体膜。

【請求項16】請求項12あるいは請求項13に記載のGaN系半導体膜の形成の後に、前記GaN系半導体膜上にGaN系半導体素子の積層構造を形成する工程を有することを特徴とするGaN系半導体積層構造の形成方法。

【請求項17】請求項12に記載のGaN系半導体膜の形成の後に、前記GaN系半導体膜上にGaN系半導体素子の積層構造を形成する工程と、前記GaN系半導体膜から少なくとも前記基板、マスク材料を除去する工程とを有することを特徴とするGaN系半導体積層構造の形成方法。

【請求項18】前記GaN系半導体素子は、ダブルヘテロ構造を含むGaN系半導体発光素子であることを特徴とする請求項16、あるいは請求項17記載のGaN系半導体積層構造の形成方法。

【請求項19】前記GaN系発光素子がGaN系半導体レーザであることを特徴とする請求項18記載のGaN系半導体積層構造の形成方法。

【請求項20】請求項14あるいは請求項15に記載のGaN系半導体膜上にGaN系半導体素子の積層構造が形成されていることを特徴とするGaN系半導体積層構造。

【請求項21】請求項14あるいは請求項15記載のGaN系半導体膜上にGaN系半導体素子の積層構造が形成され、前記GaN系半導体膜から少なくとも前記基板、マスク材料が除去されていることを特徴とするGaN系半導体積層構造。

【請求項22】前記GaN系半導体素子は、ダブルヘテロ構造を含むGaN系半導体発光素子であることを特徴とする請求項20あるいは請求項21記載のGaN系半導体積層構造。

【請求項23】前記GaN系発光素子がGaN系半導体レーザであることを特徴とする請求項22記載のGaN系半導体積層構造。

【請求項24】請求項12あるいは請求項13記載のGaN系半導体膜の形成の後に、前記GaN系半導体膜上にGaN系半導体素子を形成する工程を有することを特徴とするGaN系半導体素子の製造方法。

【請求項25】請求項12に記載のGaN系半導体膜の形成の後に、前記GaN系半導体膜上にGaN系半導体素子を形成する工程と、前記GaN系半導体膜から少な

くとも前記基板、マスク材料を除去する工程とを有することを特徴とするGaN系半導体素子の製造方法。

【請求項26】前記GaN系半導体素子は、ダブルヘテロ構造を含むGaN系半導体発光素子であることを特徴とする請求項24あるいは請求項25記載のGaN系半導体素子の製造方法。

【請求項27】前記GaN系発光素子がGaN系半導体レーザであることを特徴とする請求項26記載のGaN系半導体素子の製造方法。

【請求項28】請求項14あるいは請求項15に記載の前記GaN系半導体膜上にGaN系半導体素子が形成されていることを特徴とするGaN系半導体素子。

【請求項29】請求項14に記載の前記GaN系半導体膜上にGaN系半導体素子が形成され、前記GaN系半導体膜から少なくとも前記基板、マスク材料が除去されていることを特徴とするGaN系半導体素子。

【請求項30】前記GaN系半導体素子は、ダブルヘテロ構造を含むGaN系半導体発光素子であることを特徴とする請求項28あるいは請求項29記載のGaN系半導体素子。

【請求項31】前記GaN系発光素子がGaN系半導体レーザであることを特徴とする請求項30記載のGaN系半導体素子。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体結晶のエピタキシャル成長方法に関し、格子定数や、熱膨張係数の異なる基板上にIII-V族化合物半導体結晶膜をエピタキシャル成長させる方法及びこの成長方法これによって得られるIII-V族化合物半導体膜に関する。特に結晶欠陥の少ない半導体膜の形成が困難なGaN系半導体のエピタキシャル成長方法の適用に有効である。

【0002】さらにGaN系半導体素子及びその製造方法に関し、結晶欠陥の少ないGaN半導体膜上に形成されたGaN系半導体素子及びその製造方法に関する。

【0003】

【従来の技術】III-V族化合物半導体で、例えば窒化ガリウム(GaN)は、禁制帯幅が3.4eVと大きく、かつ直接遷移型であることから青色発光素子材料として注目されている。

【0004】この材料を用いた発光デバイスを作製するための基板材料としては、成長させるエピタキシャル層と同じ物質のバルク結晶を用いることが望ましい。しかしながら、GaNのような結晶では、窒素の解離圧が高いことによりバルク結晶の作製が非常に困難であった。したがってバルク結晶の作製が非常に困難な材料を用いてデバイスを作製する場合は、例えばサファイア(Al₂O₃)基板などのような格子定数、熱膨張係数などの物理的性質や、化学的性質も全く異なる基板が用いられてきた。

【0005】

【発明が解決しようとする課題】このようなヘテロ基板上にエピタキシャル成長を行うと、基板や、エピタキシャル層に歪みや、欠陥が発生し、特に厚い膜を成長した場合には、クラックが発生することが報告されている「ジャパニーズ ジャーナル オブ アプライドフィジックス第32巻(1993)第1528-1533頁」(Jpn. J. Appl. Phys. Vol. 32(1993) pp.1528-1533)。このような場合には、デバイスとしての性能が極端に悪くなるばかりではなく、成長層が粉々に破壊されるという結果をしばしば招いた。

【0006】また格子不整合系のエピタキシャル成長において、転位密度が少ない高品質のエピタキシャル成長層を得るために、最初の結晶成長で $1\mu\text{m}$ の SiO_2 膜でストライプを形成したサファイア基板上に GaN 膜の選択成長を行い、格子欠陥や転位を特定の領域に集中させることが特開平8-64791号公報に記載されている。しかし特開平8-64791号公報の例では SiO_2 膜部分で成長が起こらないために全面に平坦な成長層を得ることができず、素子形成箇所に制約が生じていた。

【0007】本発明の目的は、格子定数や熱膨張係数が異なるヘテロ基板を用いてエピタキシャル成長を行っても、基板やエピタキシャル成長層への歪みや欠陥の発生が少なく、また厚い膜を成長してもクラックが入りにくいエピタキシャル成長層を得るための成長方法を提供することにある。

【0008】さらに本発明の他の目的は、上記エピタキシャル成長を GaN 系半導体の成長に利用し結晶欠陥の少ない GaN 系半導体膜を提供することにある。

【0009】また本発明の他の目的は、上記エピタキシャル成長により形成された GaN 系半導体膜上に GaN 系半導体素子構造(例えば GaN 系半導体発光素子構造)を作製することにより、優れた素子特性の得られる GaN 系半導体素子(例えば GaN 系半導体発光素子)を提供することにある。

【0010】

【課題を解決するため手段】本発明の III-V 族化合物半導体の成長方法は、 III-V 族化合物半導体のエピタキシャル成長において、基板表面にパターンニングされたマスク材料により成長領域を形成する工程と、前記成長領域に前記基板と格子定数や熱膨張係数が異なる III-V 族化合物半導体を成長する工程と、前記成長領域で前記 III-V 族化合物半導体をファセット構造を形成しながら成長させ、隣接する成長領域の III-V 族化合物半導体とともに前記マスク材料を覆い、さらに前記ファセット構造を埋め込んで表面を平坦化する工程を有することを特徴する。

【0011】また本発明の III-V 族化合物半導体の成長方法は、 III-V 族化合物半導体のエピタキシャ

ル成長において、基板表面にパターンニングされたマスク材料により成長領域を形成する工程と、前記成長領域に前記基板と格子定数や熱膨張係数が異なる III-V 族化合物半導体を成長する工程と、前記成長領域で前記 III-V 族化合物半導体をファセット構造を形成しながら成長させ、隣接する成長領域の III-V 族化合物半導体とともに前記マスク材料を覆い、さらに前記ファセット構造を埋め込んで表面を平坦化する工程と、前記平坦化された表面に前記各工程を繰り返すことを特徴とする。

【0012】さらに本発明の III-V 族化合物半導体の成長方法は、前記基板表面に、前記成長領域に成長する III-V 族化合物半導体と同じ材料か、あるいは格子定数や熱膨張係数の似た性質を有する III-V 族化合物半導体を形成した後に、前記パターンニングされたマスク材料により形成された成長領域を形成することを特徴とする。また前記マスク材料を用いて形成する成長領域がストライプ形状、矩形状、丸状、又は三角形状であることを特徴とする。

【0013】本発明の III-V 族化合物半導体膜は、 III-V 族化合物半導体と格子定数や熱膨張係数が異なる基板と、前記基板表面に成長領域を形成するパターンニングされたマスク材料と、前記成長領域でファセット構造を形成しながら成長した III-V 族化合物半導体が隣接する成長領域の III-V 族化合物半導体の成長とともに前記マスク材料を覆い、前記 III-V 族化合物半導体の成長により前記ファセット構造が埋め込まれて形成された III-V 族化合物半導体膜を有することを特徴とする。さらに、前記 III-V 族化合物半導体膜から少なくとも前記基板、マスク材料が除去されていることを特徴とする特徴とする。

【0014】また、前記マスク材料形成前の基板表面に前記成長領域に成長する III-V 族化合物半導体と同じ材料か、あるいは格子定数や熱膨張係数の似た性質を有する III-V 族化合物半導体が形成されていることを特徴とする。

【0015】本発明の GaN 系半導体膜の形成方法は、 GaN 系半導体と格子定数や熱膨張係数が異なる基板表面、あるいは前記基板上に形成された GaN 系半導体表面にパターンニングされたマスク材料により成長領域を形成する工程と、前記成長領域に GaN 系半導体がファセット構造を形成するように成長させ、隣接する成長領域の GaN 系半導体とともに前記マスク材料を覆い、さらに前記ファセット構造を埋め込んで表面を平坦化する工程を有することを特徴とする。また GaN 系半導体膜の形成の後、前記 GaN 系半導体膜から少なくとも前記基板、マスク材料を除去する工程とを有することを特徴とする。

【0016】本発明の GaN 系半導体積層構造の形成方法は、 GaN 系半導体膜の形成の後に、前記 GaN 系半

導体膜上にGa_N系半導体素子の積層構造を形成する工程を有することを特徴とする。また前記Ga_N系半導体膜から少なくとも前記基板、マスク材料を除去する工程と有することを特徴とする。

【0017】本発明のGa_N系半導体素子の製造方法は、Ga_N系半導体膜の形成の後に、前記Ga_N系半導体膜上にGa_N系半導体素子を形成する工程を有することを特徴とする。さらにGa_N系半導体膜の形成の後に、前記Ga_N系半導体膜上にGa_N系半導体素子を形成する工程と、前記Ga_N系半導体膜から少なくとも前記基板、マスク材料を除去する工程とを有することを特徴とする。また前記Ga_N系半導体素子は、ダブルヘテロ構造を含むGa_N系半導体発光素子であること、さらに前記Ga_N系発光素子がGa_N系半導体レーザーであることを特徴とする。

【0018】本発明のGa_N系半導体膜は、Ga_N系半導体と格子定数や熱膨張係数が異なる基板と、前記基板表面、あるいは前記基板上に形成されたGa_N系半導体表面にパターンニングされたマスク材料により形成された成長領域と、前記成長領域でファセット構造を形成しながら成長したGa_N系半導体が隣接する成長領域のGa_N系半導体の成長とともに前記マスク材料を覆い、さらに前記Ga_N系半導体の成長により前記ファセット構造が埋め込まれていることを特徴とする。また前記Ga_N系半導体膜から少なくとも前記基板、マスク材料が除去されていることを特徴とする。

【0019】本発明のGa_N系半導体積層構造は、前述のGa_N系半導体膜上にGa_N系半導体素子の積層構造が形成されていることを特徴とする。さらに前記Ga_N系半導体膜から少なくとも前記基板、マスク材料が除去されていることを特徴とする。

【0020】本発明のGa_N系半導体素子は、Ga_N系半導体膜上にGa_N系半導体素子が形成されていることを特徴とする。また前記Ga_N系半導体膜上にGa_N系半導体素子が形成され、前記Ga_N系半導体膜から少なくとも前記基板、マスク材料が除去されていることを特徴とする。

【0021】さらに前記Ga_N系半導体素子は、ダブルヘテロ構造を含むGa_N系半導体発光素子であることを特徴とする。前記Ga_N系発光素子がGa_N系半導体レーザーであることを特徴とする。

【0022】

【発明の実施の形態】本発明の実施の形態について、図面を用いて以下に説明する。

【0023】(第1の実施の形態) 本発明の第1の実施の形態について、III-V族化合物半導体のエピタキシャル成長を例に図1を参照して説明する。

【0024】初めに、基板材料とは性質を異にし、その次の工程で成長する材料と同じか、あるいはその材料と格子定数や熱膨張係数の似た性質を有するIII-V族

化合物半導体12を基板上に成長し、その表面上にフォトリソグラフィ法とウェットエッチング法を用いて基板上の成長領域を制限するマスク14を形成する。マスクの形状はストライプとし、このときマスク14の厚さは10nmから2μm程度であり、成長領域13およびマスク14のストライプ幅は、通常0.1μmから10μm程度とした。(図1(a))。

【0025】次に、成長領域に対しIII-V族化合物半導体膜のエピタキシャル成長を行う。マスク14の付いた基板をエピタキシャル装置の反応管に挿入して、水素ガス、窒素ガス、または、水素と窒素の混合ガスとV族原料ガスを供給しながら基板11を所定の成長温度まで昇温する。温度が安定してからIII族原料を供給して、成長領域13にIII-V族化合物半導体15を成長する。結晶成長方法は、好ましくはIII族原料に塩化物を用いる塩化物輸送法による気相成長(VPE: Vapor Phase Epitaxy)で行うが、III族原料に有機金属を用いる有機金属化合物気相成長(MOCVD: Metal Organic Vapor Phase Epitaxy)を用いてもよい。

【0026】III-V族化合物半導体15は、初期段階ではマスク14上に成長せず、成長領域13のみで結晶成長が起り、成長領域上のIII-V族化合物半導体15にはファセット構造が形成される。このときのIII-V族化合物半導体15の成長条件はファセット構造が形成されるよう650℃から1100℃の成長温度、III族原料の供給量に対し等倍から200000倍を供給するV族原料の供給量の範囲で行う。(図1(b))。

【0027】さらにエピタキシャル成長を続けると、III-V族化合物半導体15はファセット構造の面に対して垂直な方向に成長が進むため、成長領域だけでなくマスク14を覆うようになる。そして隣接する成長領域のIII-V族化合物半導体15のファセット構造と接触する(図1(c))。

【0028】さらにエピタキシャル成長を続けると、ファセット構造が埋め込まれ(図1(d))、最終的には、平坦な表面を有するIII-V族化合物半導体膜15を得ることができる(図1(e))。

【0029】通常、基板上に格子定数や熱膨張率の異なるIII-V族化合物半導体の結晶成長を行うと、基板との界面で発生した結晶欠陥にともなう転位は、界面と垂直方向に伸びるために、たとえエピタキシャル膜を厚くしても、転位の低減は見られない。

【0030】本実施の形態による方法では、選択成長により成長領域にファセット構造を形成している。このファセットは成長速度が他の面より遅いため現れる。ファセットの出現により転位がファセットに向かって進み、基板と垂直に伸びていた転位が垂直な方向へ伸びることができなくなる。結晶欠陥はファセットの成長と

もに横方向に曲げられ、エピタキシャル膜の膜厚増加に伴い、成長領域では結晶欠陥が減少していき、結晶の端に出てしまうか、閉ループを形成することがわかった。これにより、エピタキシャル膜内の欠陥の低減が計られる。このようにファセット構造を形成して成長することで、結晶欠陥を大幅に減らせる。

【0031】特にIII族原料に塩化物を用いる塩化物輸送法による気相成長では、III-V族化合物半導体15の成長が速いため、ファセット構造のうち基板面と同じ面が消えるのがはやい。したがって基板と垂直に伸びる転位は、はやくからファセット構造のうち基板面と異なる面の方向に伸びることになりIII-V族化合物半導体15における垂直に伸びる転位を大幅に減らすことができる。

【0032】なお、III族原料に有機金属を用いる有機金属化合物気相成長は塩化物輸送法による気相成長と比べて成長速度が遅くなるが、上述のようにのIII-V族化合物半導体15のファセット構造のうち基板面と同じ面がはやく消えるようにすればよい。例えば成長領域に対するマスクの面積を大きくすればマスク上からの成長種の供給量が増えるため成長領域におけるIII-V族化合物半導体15の成長をはやめることができる。

【0033】(第2の実施の形態)本発明の第2の実施の形態について、III-V族化合物半導体のエピタキシャル成長を例に図5を参照して説明する。

【0034】図5(a)～(b)までは第1の実施の形態の図1(a)から(e)と同様な工程で作製しているため説明を省略する。第2の実施の形態では、III-V族化合物半導体のエピタキシャル成長を行い成長層を平坦化した後に、第2のマスクを設け(図5(c))、第1の実施の形態と同様にファセット構造を形成し、平坦化を行っている(図5(d))。

【0035】第2の実施の形態では、図1(a)から(e)の作製工程を繰り返すことにより形成したIII-V族化合物半導体膜の欠陥密度をさらに低減することができる。

【0036】第1の実施の形態あるいは第2の実施の形態は、基板と格子定数や熱膨張係数の異なる材料を結晶成長する場合に有効であり、 Al_2O_3 、Si、SiC、 $MgAl_2O_4$ 、 $LiGaO_2$ 、ZnO等の基板への、GaN、GaAlN、InGaN、InN、GaAs又はGaP等のIII-V族化合物半導体の成長に適用できる。

【0037】また図1あるいは図5では基板にその次の工程で成長する物質と同じ、あるいはその物質と格子定数や熱膨張係数の似た性質を有するIII-V族化合物半導体膜表面にマスクを形成した例を示したが、基板11表面に直接マスクを形成して図1(b)～(e)あるいは図5(b)～(d)のプロセスを行っても同様な効果が得られる。

【0038】さらに本実施の形態ではマスク14としてストライプ状のパターンを用いた成長領域について説明を行ったが、これに限られるものではなく、ファセット構造が現れるものであれば、成長領域の形状が矩形状、丸状、又は三角状となるマスクでもよい。

【0039】(第3の実施の形態)次に、本発明の第3の実施の形態について説明する。第3の実施の形態は、第1の実施の形態あるいは第2の実施の形態で説明したIII-V族化合物半導体のエピタキシャル成長をGa系半導体の成長に利用しGa系半導体膜を形成するものである。

【0040】第3の実施の形態は、第1の実施の形態あるいは第2の実施の形態で説明したエピタキシャル成長をGa系半導体に利用したものであり、共通する箇所については説明を簡略化する。

【0041】はじめに、Ga系半導体と熱膨張係数や格子定数の異なる基板材料上に、フォトリソグラフィ法とウェットエッチング法を用いて基板上の成長領域を制限するマスクを形成する。

【0042】次に成長領域に対しGa系半導体のエピタキシャル成長を行う。成長領域に成長するGa系半導体の結晶成長方法は、III族原料にガリウム(Ga)と塩化水素(HCl)の反応生成物である塩化ガリウム($GaCl$)とV族原料にアンモニア(NH_3)ガスを用いる塩化物輸送法による気相成長(VPE: Vapor Phase Epitaxy)であるハイドライドVPE法や、Ga原料に有機金属を用いる有機金属化合物気相成長(MOCVD: Metal Organic Vapor Phase Epitaxy)を用いる。成長温度は650℃から1100℃で行い、V族原料の供給量はIII族原料の供給量に対し等倍から200000倍を供給すればよい。

【0043】Ga系半導体層のエピタキシャル成長は、第1の実施の形態と同様に、Ga系半導体が初期段階ではマスク上に成長せず成長領域のみで結晶成長が起り、成長領域上のGa系半導体膜には基板の面方位とは異なる面方位のファセット構造が形成される。

【0044】エピタキシャル成長を続けると、Ga系半導体はファセット構造の面に対して垂直な方向に成長が進むため、成長領域だけでなくマスクを覆うようになる。そして隣接する成長領域のGa系半導体のファセット構造と接触する。さらにエピタキシャル成長を続けると、Ga系半導体によりファセット構造が埋め込まれ、最終的には、平坦な表面を有するGa系半導体膜を得ることができる。

【0045】Gaはバルク結晶の作製が困難なため、従来のGa系半導体の結晶成長では基板としてサファイア基板、SiC基板等を用いてきたが、これらの基板はGa系半導体とは格子定数や熱膨張率が異なっている。このためGa系半導体のエピタキシャル成長を行うと、基板との界面で発生した結晶欠陥にともなう転位

が界面と垂直方向に伸び、たとえエピタキシャル膜を厚くしても転位の低減は見られなかった。

【0046】本実施の形態によるエピタキシャル成長方法では、Ga_N系半導体と熱膨張係数や格子定数の異なる基板材料上のマスク材料により選択的に形成された成長領域に、基板面方位とは異なる面方位のファセット構造を有するGa_N系半導体をエピタキシャル成長している。このファセットは成長速度が他の面より遅いため、現れ、ファセットの出現により、基板とGa_N系半導体の界面付近から発生した転位がファセットに向かって進むようになり、基板と垂直に伸びていた転位が垂直な方向へ伸びることができなくなる。

【0047】したがってGa_N系半導体の結晶欠陥はファセットの成長とともに横方向に曲げられ、Ga_N系半導体のエピタキシャル成長による膜厚の増加に伴い、成長領域では結晶欠陥が減少していき、結晶の端に出てしまいか、閉ループを形成する。これにより、エピタキシャル膜内の欠陥の低減が計られる。

【0048】このように基板上にマスクにより選択的に形成された成長領域にファセット構造を有するGa_N系半導体膜を成長することで、Ga_N系半導体膜の結晶欠陥を大幅に減らすことが可能となる。

【0049】さらに、第3の実施の形態で得られるGa_N系半導体膜は膜厚を所望の厚さに成長してから基板（サファイア基板等）とマスクとGa_N系半導体の一部を除去することで、結晶欠陥の少ないGa_N系半導体膜の基板として用いることができる。このようなGa_N系半導体膜上にGa_N系半導体素子を作製することで、Ga_N系半導体素子の積層構造の結晶性を改善することができる。

【0050】またGa_N系半導体素子がGa_N系半導体発光素子の場合は、サファイア基板等で問題となっていたGa_N系半導体発光素子における基板裏面への電極形成が可能になる。

【0051】さらにGa_N系半導体発光素子がGa_N系半導体レーザの場合は、Ga_N系半導体とへき開面が異なるヘテロ基板上にレーザ構造を形成しても、へき開による共振器ミラーの作製が可能になる。

【0052】なお、第3の実施の形態におけるGa_N系半導体膜の形成は説明上第1の実施の形態のエピタキシャル成長を用いた記載としたが、第2の実施の形態でも適用可能である。

【0053】第3の実施の形態の説明では、Ga_N系半導体と格子定数や熱膨張係数の異なる基板表面に直接マスクを形成する例を示したが、基板上にGa_N系半導体を成長した後に、該Ga_N系半導体表面にマスクを形成しても同様な効果が得られる。

【0054】さらに本実施の形態に用いるマスクとしては第1の実施の形態あるいは第2の実施の形態と同様な材料、寸法、形状を適用することができる。また本実施

の形態におけるGa_N系半導体膜としてはGa_N、AlGa_N、InGa_N等があげられるがGa_Nが最も好ましい。

【0055】またGa_N系半導体素子としては、Ga_N系半導体レーザやGa_N系LED等のGa_N系半導体発光素子の他にFETやHBTなどのデバイスにも適用可能である。

【0056】（第4の実施の形態）本発明の第4の実施の形態について、図6を参照して説明する。

【0057】第4の実施の形態は、Ga_N系半導体と熱膨張係数や格子定数が異なる基板上に、第1の実施の形態のエピタキシャル成長を利用してGa_N系半導体厚膜を成長し、さらにこのGa_N系半導体厚膜上にGa_N系半導体素子を作製するものである。

【0058】第4の実施の形態ではGa_N系半導体膜上のGa_N系半導体素子としてGa_N系半導体発光素子を用いた場合について説明する。

【0059】はじめに、基板表面にマスクを形成し、フォトリソグラフィ法とウェットエッチングでマスクと成長領域に分離する。基板には、Ga_N系半導体と熱膨張係数や格子定数の異なる基板材料上にGa_N系半導体が形成された基板を用いる。

【0060】マスク及び成長領域の形状としては、第1の実施の形態の説明のように成長領域のGa_N系半導体にファセットが出現する形状とする。

【0061】次に成長領域に対しGa_N系半導体のエピタキシャル成長を行う。Ga_N系半導体の成長法は、III族原料にガリウム（Ga）と塩化水素（HCl）の反応生成物である塩化ガリウム（GaCl）とV族原料にアンモニア（NH₃）ガスを用いるハイドライドVPE法が好ましいが、有機金属化学気相成長法（MOVPE）を用いてもよい。

【0062】Ga_N系半導体のエピタキシャル成長は、第1の実施の形態と同様に、Ga_N系半導体が初期段階ではマスク上に成長せず成長領域のみで結晶成長が起こり、成長領域上のGa_N系半導体には基板の面方位とは異なる面方位のファセット構造が形成される。

【0063】エピタキシャル成長を続けると、Ga_N系半導体はファセット構造の面に対して垂直な方向に成長が進むため、成長領域だけでなくマスクを覆うようになる。そして隣接する成長領域のGa_N系半導体膜のファセット構造と接触する。さらにエピタキシャル成長を続けると、Ga_N系半導体によりファセット構造が埋め込まれ、最終的には、平坦な表面を有するGa_N系半導体膜を得ることができる。

【0064】次にGa_N系半導体膜上にGa_N系半導体発光素子の素子構造を作製する。Ga_N系半導体膜を形成した後、Ga_N系半導体膜が形成された基板をMOCVD装置にセットし、所定の温度、ガス流量、V/III比で、n型Ga_N層、n型AlGa_Nクラッド層、n

型Ga_{0.9}N_{0.1}光ガイド層、アンダーインGa_{0.9}N_{0.1}量子井戸層とアンダーインGa_{0.9}N_{0.1}障壁層からなる多重量子井戸構造活性層、p型Al_{0.1}Ga_{0.9}N層、p型Ga_{0.9}N光ガイド層、p型Al_{0.1}Ga_{0.9}Nクラッド層、p型Ga_{0.9}Nコンタクト層を順次形成しレーザー構造を作製する。

【0065】次に、レーザー構造を形成した基板を研磨器にセットし、基板、SiO₂マスク、およびGa_{0.9}N系半導体膜の一部を研磨してGa_{0.9}N系半導体膜を露出させる。露出したGa_{0.9}N系半導体膜の面、すなわちGa_{0.9}N系半導体発光素子裏面側にn型電極を形成し表面側にp型電極を形成する。

【0066】第4の実施の形態により以下の効果が得られる。

【0067】第1の実施の形態のエピタキシャル成長で得られたGa_{0.9}N系半導体膜上にGa_{0.9}N系半導体素子構造を成長することにより、従来のサファイア基板を用いた成長で問題となっていたGa_{0.9}N系半導体素子構造におけるエピタキシャル成長膜の結晶性が改善でき、Ga_{0.9}N系半導体素子特性を向上させることができる。

【0068】さらにGa_{0.9}N系半導体素子がGa_{0.9}N系半導体発光素子の場合においては、裏面に電極を形成することができるため、従来のようにドライエッチング等複雑な作製工程で電極をGa_{0.9}N系半導体膜の表面に形成することなく素子を作製でき電極作製工程が簡略化できる。

【0069】またGa_{0.9}N系半導体発光素子がGa_{0.9}N系半導体レーザの場合は、結晶欠陥が少ないGa_{0.9}N系半導体厚膜を形成した後に基板、マスクを除去することで、へき開によりGa_{0.9}N系半導体レーザ構造の共振器ミラー面を形成できる。このため従来のドライエッチング等による複雑な工程で共振器ミラー面を形成したものに比べ大幅に簡略化でき歩留まりも大幅に向上できる。

【0070】なお、第4の実施の形態は上記の説明に限定されるものではなく、必要に応じて他の構成、成長法を採ることが可能である。

【0071】例えば、Ga_{0.9}N系半導体膜のエピタキシャル成長は第1の実施の形態だけでなく、第2の実施の形態の適用もできる。

【0072】さらにGa_{0.9}N系半導体膜上にGa_{0.9}N系半導体素子の積層構造を作製した後に基板、マスクを除去したが、Ga_{0.9}N系半導体膜形成後に基板、マスクとGa_{0.9}N系半導体膜の一部を除去した後にGa_{0.9}N系半導体素子の積層構造を作製してもよい。

【0073】なお、Ga_{0.9}N系半導体膜から基板、マスクを除去した例を説明したが、Ga_{0.9}N系半導体膜上に形成されたGa_{0.9}N系半導体素子の結晶性の効果だけ得たいのであれば、基板、マスクの除去を行わず、Ga_{0.9}N系半導体素子表面側に電極を形成する構成としてもよい。

【0074】さらに本実施の形態に用いるマスクとしては第1の実施の形態あるいは第2の実施の形態と同様な材料、寸法、形状を適用することができる。また本実施

の形態におけるGa_{0.9}N系半導体膜としてはGa_{0.9}N、Al_{0.1}Ga_{0.9}N、InGa_{0.9}N等があげられるがGa_{0.9}Nが最も好ましい。

【0075】またGa_{0.9}N系半導体素子としては、Ga_{0.9}N系半導体レーザやGa_{0.9}N系LED等のGa_{0.9}N系半導体発光素子の他にFETやHBTなどのデバイスにも適用可能である。

【0076】

【実施例】次に本発明の実施例について図面を参照して説明する。

【0077】(第1の実施例) 本発明の実施例について、図1を参照して説明する。本実施例では、基板として、(0001)面サファイア(Al₂O₃)基板11上に1μm程度の膜厚のGa_{0.9}N膜12をあらかじめ形成した基板を用いた。このGa_{0.9}N膜12表面にSiO₂膜を形成し、フォトリソグラフィ法とウェットエッチングでマスク14と成長領域13に分離した。成長領域13およびマスク14は、それぞれ5μmおよび2μmの幅のストライプ状である。ストライプ方向は<11-20>方向とした(図1(a))。

【0078】成長領域13に成長するGa_{0.9}N膜15は、III族原料にガリウム(Ga)と塩化水素(HCl)の反応生成物である塩化ガリウム(GaCl)とV族原料にアンモニア(NH₃)ガスを用いるハイドライドVPE法を用いた。基板11をハイドライドの成長装置にセットし、水素雰囲気中で成長温度1000℃に昇温する。成長温度が安定してから、HCl流量を20cc/毎分で供給し、NH₃流量1000cc/毎分で5分程度供給することで、成長領域13にGa_{0.9}N膜15の{1-101}面からなるファセット構造を成長させた(図1(b))。さらに、20分間程度エピタキシャル成長を続け、マスク14を覆うまでファセット構造16を発達させた(図1(c))。

【0079】エピタキシャル成長を続けることによりファセット構造を埋め込み(図1(d))、最終的には、5時間の成長で200μm程度の平坦な表面を有するGa_{0.9}N膜を形成させた(図1(e))。Ga_{0.9}N膜15を形成後、アンモニアガスを供給しながら、常温まで冷却し成長装置より取り出した。

【0080】第1の実施例では成長領域を制限する選択成長により、側壁が{1-101}面からなるファセットを形成して結晶成長を行っている。このファセットは成長速度が他の面より遅いために現れてくる。ファセットが現れる前は、基板と垂直に伸びていた転位が、ファセットの出現でこの方向へ伸びることができなくなる。

【0081】本発明により成長した結晶を詳細に調べると、ファセットの出現で、横方向に曲げられ、エピタキシャル膜の膜厚増加に伴い、結晶の端に出ることがわかった。これにより、エピタキシャル膜内の欠陥の低減が計られる。

【0082】第1の実施例によって形成されたGa_{0.9}N膜15には、サファイア基板11と格子定数や熱膨張係数が違うにもかかわらずクラックが入っていないことが確認された。しかも、厚膜成長を行ったGa_{0.9}N膜には、欠陥が非常に少なく、欠陥密度は 10^6 cm² 程度であった。

【0083】本実施例で成長したGa_{0.9}N膜は欠陥が非常に少なく、この上にレーザ、FET、およびHBTなどの高品質なデバイス構造を成長することで、デバイス特性を向上させることが可能となる。

【0084】さらにサファイア基板11を研磨等によって除去することで、Ga_{0.9}N膜15を基板材料として用いることもできる。

【0085】第1の実施例では、Ga_{0.9}N膜のエピタキシャル成長にハイドライドVPE法を用いて形成したが、有機金属化合物気相成長法(MOCVD)を用いても同様な効果が得られる。またAl₂O₃基板11を用いたが、Si基板、ZnO基板、SiC基板、LiGaO₂

基板、MgAl₂O₄基板等を用いても同様な効果が得られる。さらにAl₂O₃基板11上にGa_{0.9}N膜12をあらかじめ形成したが、基板11上に直接マスクを形成してもよい。

【0086】またマスク14としてSiO₂を用いたがこれに限られるものではなく、SiN_x等の絶縁体膜でもよい。この実施例ではマスク14の幅を2μmとしたが、マスクを埋め込むことのできる幅であれば同様な効果が得られる。さらにストライプを<11-20>方向に形成したが、ファセットが形成されれば、これと垂直の方向<1-100>でもよく、これらの方向から傾けた角度であっても結晶成長の条件により、成長領域にファセット構造を形成することができる。なおファセット構造が形成される結晶成長の条件は材料によってそれぞれ異なる。

【0087】またGa_{0.9}Nのエピタキシャル成長について述べたが、InGa_{0.9}N膜、AlGa_{0.9}N膜、InN膜、GaP膜あるいはGaAs膜をエピタキシャル成長しても同様な効果が得られる。さらに成長するIII-V族化合物に不純物の添加しても同様な効果が得られる。

【0088】(第2の実施例)本発明の第2の実施例について、第1の実施例と同じく図1を参照して説明する。

【0089】第2の実施例では、基板として、(0001)面SiC基板11上に1μm程度の膜厚のAl_{0.1}

Ga_{0.9}N膜12をあらかじめ形成した結晶を用いた。このAl_{0.1}Ga_{0.9}N膜12表面にSiO₂膜を形成し、フォトリソグラフィ法とウェットエッチングでマスク14と成長領域13に分離した。成長領域13、およびマスク14は、それぞれ2μm、および10μmの幅のストライプ状である。ストライプ方向は<1-100>方向とした(図1(a))。

【0090】成長領域13に成長するGa_{0.9}N膜15は、III族原料にガリウム(Ga)と塩化水素(HCl)の反応生成物である塩化ガリウム(GaCl)とV族原料にアンモニア(NH₃)ガスを用いるハイドライドVPE法を用いた。基板11をハイドライドの成長装置にセットし、水素雰囲気中で成長温度1000℃に昇温する。成長温度が安定してから、HCl流量を20cc/毎分で供給し、NH₃流量2000cc/毎分で5分程度供給することで、成長領域13にGa_{0.9}N膜15の{1-101}面からなるファセット構造を成長させた(図1(b))。

【0091】さらに、20分間程度エピタキシャル成長を続け、マスク14を覆うまでGa_{0.9}Nのファセット構造15を発達させた(図1(c))。

【0092】エピタキシャル成長を続けることによりファセット構造を埋め込み(図1(d))、最終的には、5時間の成長で200μm程度の平坦な表面を有するGa_{0.9}N膜を形成させた(図1(e))。Ga_{0.9}N膜15の形成後、NH₃ガスを供給しながら常温まで冷却し、成長装置より取り出す。

【0093】第2の実施例によって形成されたGa_{0.9}N膜15には、SiC基板11との格子定数や熱膨張係数が違うにもかかわらずクラックが入っていないことが確認された。しかも、厚膜成長を行ったGa_{0.9}N膜には、欠陥が非常に少なく欠陥密度は 10^6 cm² 程度であった。

【0094】本実施例で成長したGa_{0.9}N膜は欠陥が非常に少なく、この上にレーザ、FET、およびHBTなどの高品質なデバイス構造を成長することで、デバイス特性を向上させることが可能となる。

【0095】また、SiC基板11を研磨等によって除去することで、Ga_{0.9}N膜15を基板材料として用いることもできる。

【0096】第2の実施例では、Ga_{0.9}N膜のエピタキシャル成長にハイドライドVPE法を用いて形成したが、有機金属化合物気相成長法(MOCVD)を用いても同様な効果が得られる。また本実施例では、SiC基板11を用いたが、Si基板、ZnO基板、Al₂O₃基板、LiGaO₂基板、MgAl₂O₄基板等を用いても同様な効果が得られる。さらにSiC基板11上に膜厚のGa_{0.9}N膜12をあらかじめ形成したが、基板11上に直接マスクを形成してもよい。

【0097】またマスク14としてSiO₂を用いたがこれに限られるものではなく、SiN_x等の絶縁体膜でもよい。この実施例ではマスク14の幅を10μmとしたが、マスクを埋め込むことのできる幅であれば同様な効果が得られる。さらにストライプを<1-100>方向に形成したが、ファセットが形成されれば、これと垂直の方向<1-120>でもよく、これらの方向から傾けた角度であっても結晶成長の条件により、成長領

域にファセット構造を形成することができる。なおファセット構造が形成される結晶成長の条件は材料によってそれぞれ異なる。

【0098】またさらに基板11上の膜としてAl組成0.1のAlGa_Nを用いたが、この組成は任意のものでよく、この膜としてその他にAlN、InGa_Nなどを用いても同様な効果が得られる。さらにGa_Nのエピタキシャル成長について述べたが、InGa_N膜、AlGa_N膜、InN膜、GaP膜あるいはGaAs膜をエピタキシャル成長しても同様な効果が得られる。また成長するIII-V族化合物に不純物の添加しても同様な効果が得られる。

【0099】(第3の実施例)本発明の第3の実施例について、図2を参照して説明する。

【0100】第3の実施例では、基板として、(111)面のMgAl₂O₄基板21を用いた。この基板21表面にSiO₂膜23を形成し、フォトリソグラフィ法とウエットエッチングでマスク23と成長領域22に分離した。成長領域22、およびマスク23は、それぞれ4μm、および3μmの幅のストライプ状である。ストライプ方向は<11-20>方向とした(図2(a))。

【0101】Ga_N膜の成長は、マスク23上に多結晶のGa_Nが付着を抑制するのに適したハイドライドVPE法を用いた。この手法では、III族原料にガリウム(Ga)と塩化水素(HCl)の反応生成物である塩化ガリウム(GaCl)と、V族原料にアンモニア(NH₃)ガスを用いる。

【0102】まず、基板21を成長装置にセットし、水素ガスを供給しながら1000℃程度の高温で熱処理した後、500℃に降温させ、HCl流量を0.5cc/毎分で供給し、NH₃流量1000cc/毎分で5分程度供給することで、結晶成長領域23に約20nmの膜厚のGa_Nバッファ層24を形成する(図2(b))。

【0103】この状態で、NH₃ガスを供給しながら1000℃に昇温する。成長温度が安定してから、HCl流量を20cc/毎分で供給し、NH₃流量1500cc/毎分で5分程度供給することで、成長領域22のGa_Nバッファ層24上にGa_Nの{1-101}面からなるファセット構造25を成長させた(図2(c))。

【0104】さらに、エピタキシャル成長を続け、マスク23を覆うまでGa_N膜25のファセット構造を発達させた後、ファセット構造を埋め込みながら成長を続け、最終的には、5時間の成長で200μm程度の平坦な表面を有するGa_N膜25を形成させた(図2(d))。Ga_N膜25の形成後、NH₃ガスを供給しながら常温まで冷却し成長装置より取り出す。

【0105】第3の実施例によって形成されたGa_N膜

25には、MgAl₂O₄基板21との格子定数や熱膨張係数が違うにもかかわらずクラックが入っていないことが確認された。しかも、厚膜成長を行ったGa_N膜には、欠陥が非常に少なく、10⁶cm²程度であった。

【0106】本実施例で成長したGa_N膜は欠陥が非常に少なく、この上にレーザ、FET、およびHBTなどの高品質なデバイス構造を成長することで、デバイス特性を向上させることが可能となる。またMgAl₂O₄基板21を研磨等によって除去することで、Ga_N膜25を基板材料として用いることもできる。

【0107】第3の実施例では、Ga_N膜のエピタキシャル成長にハイドライドVPE法を用いて形成したが、有機金属化合物気相成長法(MOCVD)を用いても同様な効果が得られる。また実施例では、MgAl₂O₄基板21を用いたが、Si基板、ZnO基板、SiC基板、LiGaO₂基板、Al₂O₃基板等を用いても同様な効果が得られる。さらにMgAl₂O₄21上に直接マスクを形成したが、基板21上にGa_N膜をあらかじめ形成してもよい。

【0108】またマスク14としてSiO₂を用いたがこれに限られるものではなく、SiN_x等の絶縁体膜でもよい。さらにマスク24の幅を10μmとしたが、マスクを埋め込むことのできる幅であれば同様な効果が得られる。本実施例では、ストライプを<11-20>方向に形成したが、ファセットが形成されれば、これと垂直の方向<1-100>でもよく、これらの方向から傾けた角度でも結晶成長の条件により、成長領域にファセット構造を形成することができる。なお、ファセット構造が形成される結晶成長の条件は材料によってそれぞれ異なる。

【0109】また本実施例では基板上に低温バッファ層を設けた後にGa_N膜の成長を行っているため、結晶欠陥をより少なくすることが可能となる。

【0110】さらに、実施例では、Ga_Nのエピタキシャル成長について述べたが、InGa_N膜、AlGa_N膜、InN膜、GaP膜、GaAs膜をエピタキシャル成長しても同様な効果が得られる。さらに成長するIII-V族化合物に不純物の添加しても同様な効果が得られる。

【0111】(第4の実施例)本発明の第4の実施例について、図3、図4を参照して説明する。図3は選択的にエピタキシャル成長する成長領域の形状を丸形状、三角形状及び矩形状とした概略図である。

【0112】本実施例では、基板として(0001)面のAl₂O₃基板41上に1μm程度の膜厚のGa_N膜42をあらかじめ形成した結晶基板を用いた。

【0113】このGa_N膜42表面にSiO₂膜を形成し、フォトリソグラフィ法とウエットエッチングでマスク43と成長領域44に分離した。成長領域44

は、 $4\mu\text{m}$ の直径の丸状(図3(a))、一辺が $3\mu\text{m}$ の三角形状(図3(b))、および $5\mu\text{m}$ 角の矩形状(図3(c))の3種類となるマスクをそれぞれ用いた。

【0114】形成した成長領域44に成長するGa_{0.45}N膜45は、III族原料にトリメチルガリウム(TMGa)及びトリメチルアルミニウム(TMAI)とV族原料にアンモニア(NH₃)ガスを用いる有機金属化合物気相成長法を用いた。

【0115】図4は図3の成長領域を形成した基板上に気相成長法を用いてIII-V族化合物半導体膜を形成する工程の概略図である。基板41を有機金属化合物気相成長装置にセットし、水素ガスとNH₃ガスを供給しながら1050℃の成長温度に昇温する。成長温度が安定してから、トリメチルガリウム流量を5cc/毎分で供給し、NH₃流量5000cc/毎分で10分程度供給することで、成長領域44にGa_{0.45}N膜45の{1-101}面からなるファセット構造を成長させた(図4(a))。

【0116】さらに、30分間程度エピタキシャル成長を続け、マスク43を覆うまでGa_{0.45}N層45のファセット構造を発達させた(図4(b))。

【0117】エピタキシャル成長を続けることによりGa_{0.45}N層45のファセット構造を埋め込み(図4(c))、最終的には、12時間の成長で100 μm 程度の平坦な表面を有するGa_{0.45}N膜45を形成させた(図4(d))。

【0118】3種類の形状の成長領域に形成したGa_{0.45}N膜45は、成長領域の形状によらず平坦な表面が得られ、サファイア基板41にクラックが入っていないことが確認された。また、本実施例では成長領域の形状を丸状、三角形状、および矩形状の3種類としたが、マスク領域を埋め込むことのできる形状であれば多角形の形状、大きさによらず同様の効果がある。

【0119】本実施例で成長したGa_{0.45}N膜は欠陥が非常に少なく、この上にレーザ、FET、およびHBTなどの高品質なデバイス構造を成長することで、デバイス特性を向上させることが可能となる。

【0120】さらにサファイア基板41を研磨等によって除去することで、Ga_{0.45}N膜45を基板材料として用いることもできる。

【0121】第4の実施例では、Ga_{0.45}N膜のエピタキシャル成長にハイドライドVPE法を用いて形成したが、有機金属化合物気相成長法(MOCVD)を用いても同様な効果が得られる。またAl₂O₃基板41を用いたが、Si基板、ZnO基板、SiC基板、LiGaO₂基板、MgAl₂O₄基板等を用いても同様な効果が得られる。さらにAl₂O₃基板41上に膜厚のGa_{0.45}N膜42をあらかじめ形成したが、基板41上に直接マスクを形成してもよい。

【0122】またマスク43としてSiO₂を用いたがこれに限られるものではなく、SiN_x等の絶縁体膜でもよい。

【0123】またGa_{0.45}Nのエピタキシャル成長について述べたが、InGa_{0.45}N膜、AlGa_{0.45}N膜、InN膜、GaP膜あるいはGaAs膜をエピタキシャル成長しても同様な効果が得られる。さらに成長するIII-V族化合物に不純物の添加しても同様な効果が得られる。

【0124】(第5の実施例)本発明の第5の実施例について、図5を参照して説明する。

【0125】基板51には、1 μm の膜厚のGa_{0.45}N膜52が形成された(0001)面のサファイア基板51を用いた。

【0126】この基板51表面にSiO₂膜を形成し、フォトリソグラフィ法とウエットエッチングで第1のマスク53と第1の成長領域54に分離した。第1の成長領域54、および第1のマスク53は、それぞれ2 μm 、および5 μm のストライプ状とした。ストライプ方向は、 $\langle 11-20 \rangle$ とした(図5(a))。

【0127】第1の成長領域54に成長する第1のGa_{0.45}N膜55は、上記の実施例1と同様にIII族原料にガリウム(Ga)と塩化水素(HCl)の反応生成物である塩化ガリウム(GaCl)とV族原料にアンモニア(NH₃)ガスを用いるハイドライドVPE法を用いた。基板51をハイドライドの成長装置にセットし、水素雰囲気中で成長温度1000℃に昇温する。650℃の温度から基板51をNH₃ガス雰囲気にする。成長温度が安定してから、HCl流量を10cc/毎分で供給し、NH₃流量4000cc/毎分で60分間の成長で、第1の実施例で説明した図1の(a)から(e)の成長工程を経て、第1のマスク53を埋め込んだ第1のGa_{0.45}N膜55を形成する(図5(b))。第1のGa_{0.45}N膜55を形成後、NH₃ガス雰囲気中で常温まで冷却し、成長装置より取り出す。

【0128】次に、Ga_{0.45}N膜55上に再びSiO₂膜を形成し、第2の成長領域56と第2のマスク57を形成する。それぞれのストライプ幅は、2 μm 、および5 μm であり、ストライプ方向は $\langle 11-20 \rangle$ とした(図5(c))。この基板51上に、再び、第1の実施例で説明した図1の(a)から(e)の成長工程を経て、第2のマスク57を埋め込み、およそ150 μm の第2のGa_{0.45}N層58を成長させ平坦化した表面を得た(図5(d))。

【0129】成長した第2のGa_{0.45}N膜58の欠陥を断面透過電子顕微鏡で調べた結果、欠陥が10⁵ cm²以下と極めて少ないものであった。ここでは、2段階の選択成長について述べたが、上記工程を繰り返すことでさらに欠陥密度を減少させることができる。

【0130】第5の実施例では、Ga_{0.45}N膜のエピタキシャル成長にハイドライドVPE法を用いて形成したが、

有機金属化合物気相成長法(MOCVD)を用いても同様な効果が得られる。また Al_2O_3 基板51を用いたが、Si基板、ZnO基板、SiC基板、 $LiGaO_2$ 基板、 $MgAl_2O_4$ 基板等を用いても同様な効果が得られる。さらに Al_2O_3 基板51上にGaN膜52を成長した後にマスクを形成したが、これに限らず、基板上にGaN膜52を成長せず、直接第1のマスク53を成長してもよい。

【0131】またマスク53として SiO_2 を用いたがこれに限られるものではなく、 SiN_x 等の絶縁体膜でもよい。さらに成長領域がストライプとなるようにパターンニングされたマスクを用いたが、これに限らず、丸形状、矩形状、三角形状でもよい。またGaNのエピタキシャル成長について述べたが、InGaN膜、AlGaN膜、InN膜、GaP膜あるいはGaAs膜をエピタキシャル成長しても同様な効果が得られる。さらに成長するIII-V族化合物に不純物の添加しても同様な効果が得られる。

【0132】本発明の各実施例ではGaN系のIII-V族化合物半導体を用いた例について述べたが、これに限られるものではなく、基板と格子定数あるいは熱膨張係数が異なるIII-V族化合物半導体の成長に適用可能であることはいうまでもない。

【0133】(第6の実施例)本発明の第6の実施例について、図6を参照して説明する。図6は本発明のエピタキシャル成長をGaN膜の成長に用い、さらにこのGaN膜上にGaN系半導体レーザを製造する工程を説明するための概略図である。

【0134】図6に示す基板61には、 $1\mu m$ の膜厚のGaN膜62が形成された(0001)面のサファイア基板61を用いた。この基板61表面に SiO_2 膜を形成し、第1から第4の実施例と同様にフォトリソグラフィ法とウェットエッチングで第1のマスク63と第1の成長領域64に分離した。第1の成長領域64、および第1のマスク63は、それぞれ $5\mu m$ 、および $2\mu m$ のストライプ状とした。ストライプ方向は、 $\langle 11-20 \rangle$ 方向から 10° 傾けて形成した(図6(a))。

【0135】第1の成長領域64に成長する第1のGaN膜65は、上記の実施例1と同様にIII族原料にガリウム(Ga)と塩化水素(HCl)の反応生成物である塩化ガリウム($GaCl$)とV族原料にアンモニア(NH_3)ガスを用いるハイドライドVPE法を用いた。基板61をハイドライドの成長装置にセットし、水素雰囲気中で成長温度 $1000^\circ C$ に昇温する。 $650^\circ C$ の温度から基板51を NH_3 ガス雰囲気にする。成長温度が安定してから、HCl流量を $40cc$ /毎分で供給し、 NH_3 流量 $1000cc$ /毎分、およびシラン(SiH_4)流量 $0.01cc$ /毎分で150分間の成長で、第1の実施例で説明した図1の(a)から(e)の成長工程を経て、第1のマスク63を埋め込

だ膜厚 $200\mu m$ の第1のGaN膜65を形成する(図5(b))。第1のGaN膜65を形成後、 NH_3 ガス雰囲気中で常温まで冷却し、成長装置より取り出す。GaN膜65は、n型で、 $1 \times 10^{18} cm^{-3}$ 以上のキャリア濃度であった。

【0136】次に、GaN系半導体レーザ構造の作製には、有機金属化学気相成長法(MOVPE)を用いて作製した。GaN膜65を形成後、MOCVD装置にセットし、水素雰囲気中で成長温度 $1050^\circ C$ に昇温する。 $650^\circ C$ の温度から NH_3 ガス雰囲気にする。Siを添加した $1\mu m$ の厚さのn型GaN層66、Siを添加した $0.4\mu m$ の厚さのn型 $Al_{0.15}Ga_{0.85}N$ クラッド層67、Siを添加した $0.1\mu m$ の厚さのn型GaN光ガイド層68、 $2.5nm$ の厚さのアンドープ $In_{0.2}Ga_{0.8}N$ 量子井戸層と $5nm$ の厚さのアンドープ $In_{0.05}Ga_{0.95}N$ 障壁層からなる10周期の多重量子井戸構造活性層69、マグネシウム(Mg)を添加した $20nm$ の厚さのp型 $Al_{0.2}Ga_{0.8}N$ 層70、Mgを添加した $0.1\mu m$ の厚さのp型GaN光ガイド層71、Mgを添加した $0.4\mu m$ の厚さのp型 $Al_{0.15}Ga_{0.85}N$ クラッド層72、Mgを添加した $0.5\mu m$ の厚さのp型GaNコンタクト層73を順次形成しレーザ構造を作製した。p型のGaNコンタクト層73を形成した後は、 NH_3 ガス雰囲気中で常温まで冷却し、成長装置より取り出す(図6(c))。 $2.5nm$ の厚さのアンドープ $In_{0.2}Ga_{0.8}N$ 量子井戸層と $5nm$ の厚さのアンドープ $In_{0.05}Ga_{0.95}N$ 障壁層からなる多重量子井戸構造活性層69は、 $780^\circ C$ の温度で形成した。

【0137】次に、レーザ構造を形成したサファイア基板61を研磨器にセットし、サファイア基板61、GaN層62、 SiO_2 マスク63、およびGaN膜65の $50\mu m$ 研磨してGaN膜65を露出させる。露出したGaN層65面には、チタン(Ti)-アルミ(Al)のn型電極74を形成し、p型のGaN層73上にはニッケル(Ni)-金(Au)のp型電極75を形成する(図6(d))。

【0138】図6に示すレーザ構造では、裏面にn型電極が形成されており、従来のようにドライエッチング等複雑な作製工程でn型の電極を窒化物表面に形成することなく素子を形成できるため電極作製工程が簡略化できる。

【0139】また、サファイアとGaN系半導体とは結晶のへき開面が異なるため、従来サファイア基板上に作製したレーザ構造の共振器ミラーはへき開により形成することが困難であった。

【0140】これに対し、本実施例では結晶欠陥が少ないGaN層65を厚く成長することができるため、サファイア基板やマスク材料を除去してもGaN65上に形成したGaN系半導体のレーザ構造には影響はなく、またGaN層65上のレーザ構造はへき開により共振器ミ

ラー面を形成できる利点を持っているため、従来のドライエッチング等による複雑な工程で共振器ミラー面を形成したものに比べ大幅に簡略化でき歩留まりも大幅に向上した。

【0141】本実施例では、Ga_{0.5}N層65上にレーザー構造形成してから、サファイア基板51、Ga_{0.5}N膜62、SiO₂マスク63を研磨したが、レーザー構造を作製する前にサファイア基板61、Ga_{0.5}N膜62、SiO₂マスク63を研磨しても同様な効果が得られる。

【0142】また、本実施例では、サファイア基板61、Ga_{0.5}N層62、SiO₂マスク63の研磨、およびGa_{0.5}N膜65の一部を研磨して、n型の電極を形成したが、研磨を行わずにドライエッチングによりn型のGa_{0.5}N層66または65まで除去しn型電極を形成し、共振器ミラー面を形成することで従来の構造を作製することもできる。

【0143】

【発明の効果】以上説明したように、本発明によるIII-V族化合物半導体の成長方法は、初期成長段階で、マスクにより基板上的成長領域を制限し、ファセット成長を促すことで、成長するIII-V族化合物半導体層と基板結晶の熱膨張係数差、および格子定数差によって生じるクラックを抑え、欠陥の導入を抑制して、高品質のIII-V族化合物半導体層を形成することができ、従って、本発明による結晶を用いれば、この上に高品質の半導体素子、例えばレーザー構造や、トランジスタ構造を作製することができ、その特性が飛躍的に向上することが期待される。

【図面の簡単な説明】

【図1】本発明のIII-V族化合物半導体の形成方法を説明する工程概略図である。

【図2】AlGa_{0.5}N膜が形成されたMgAl₂O₄基板上にハイドライドVPE法を用いて、Ga_{0.5}N膜を形成する工程の概略図である。

【図3】選択的にエピタキシャル成長する成長領域の形状を丸形状、三角形状、及び矩形状に形成した概略図である。

【図4】図3の丸形状、三角形状、及び矩形状の成長領域を形成した基板上に気相成長法を用いてIII-V族化合物半導体膜を形成する工程の概略図である。

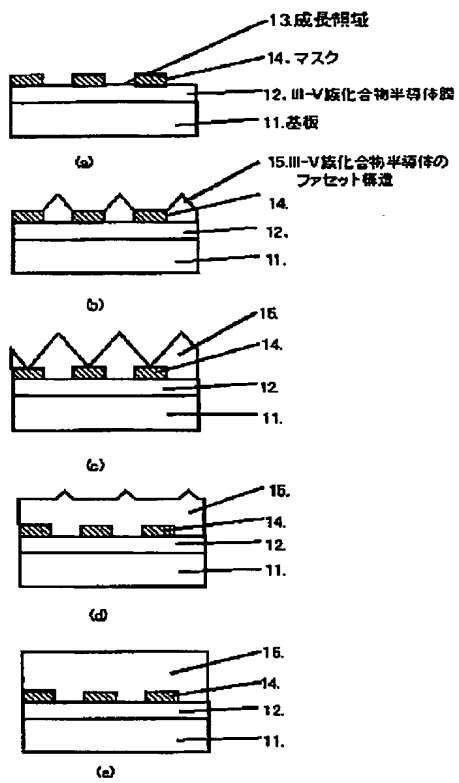
【図5】本発明の成長方法を2回繰り返して形成したGa_{0.5}N膜の概略図である。

【図6】本発明の成長方法を用いて形成したGa_{0.5}N膜上にGa_{0.5}N系半導体レーザー構造を形成する工程の概略図である。

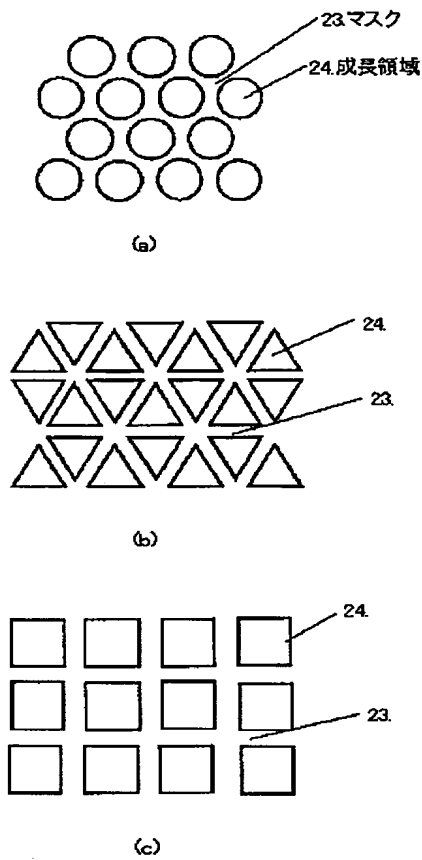
【符号の説明】

- 11 基板
- 12 基板に形成されたIII-V族化合物半導体膜
- 13 III-V族化合物半導体を成長させる成長領域
- 14 マスク
- 15 エピタキシャル成長したIII-V族化合物半導体膜
- 16 III-V族化合物半導体のファセット構造
- 21 (0001)面のサファイア基板
- 22 Ga_{0.5}N膜
- 23 マスク
- 25 エピタキシャル成長したGa_{0.5}N膜
- 31 (111)面のMgAl₂O₄基板
- 32 1μmのGa_{0.5}N膜、またはAlGa_{0.5}N膜
- 32 基板上に形成された成長領域
- 33 基板上に形成したSiO₂膜のマスク
- 34 エピタキシャル成長したGa_{0.5}Nバッファ層
- 35 ハイドライドVPE法で成長したGa_{0.5}N膜
- 43 マスク
- 44 成長領域
- 51 (0001)面のサファイア基板
- 53 第1のマスク
- 54 第1の成長領域
- 55 第1のGa_{0.5}N層
- 56 第2の成長領域
- 57 第2のマスク
- 58 第2のGa_{0.5}N層
- 65 n型Ga_{0.5}N膜
- 66 n型Ga_{0.5}N層
- 67 n型Al_{0.15}Ga_{0.85}Nクラッド層
- 68 n型Ga_{0.5}N光ガイド層
- 69 10周期の多重量子井戸構造活性層
- 70 p型Al_{0.2}Ga_{0.8}N層
- 71 p型Ga_{0.5}N光ガイド層
- 72 p型Al_{0.15}Ga_{0.85}Nクラッド層
- 73 p型Ga_{0.5}Nコンタクト層
- 74 Ti-Alのn型電極
- 75 Ni-Auのp型電極

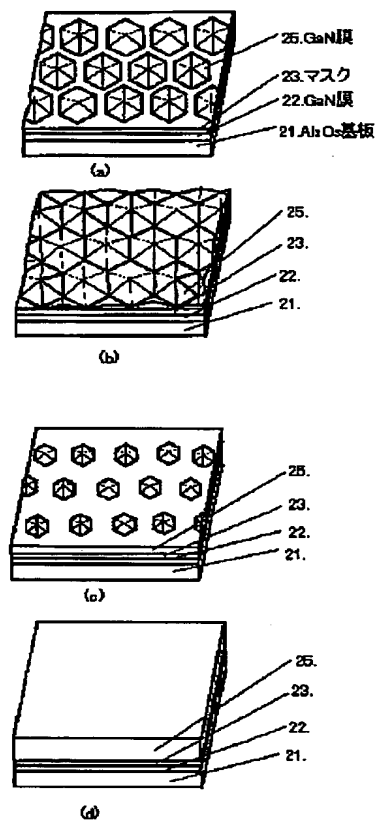
【図1】



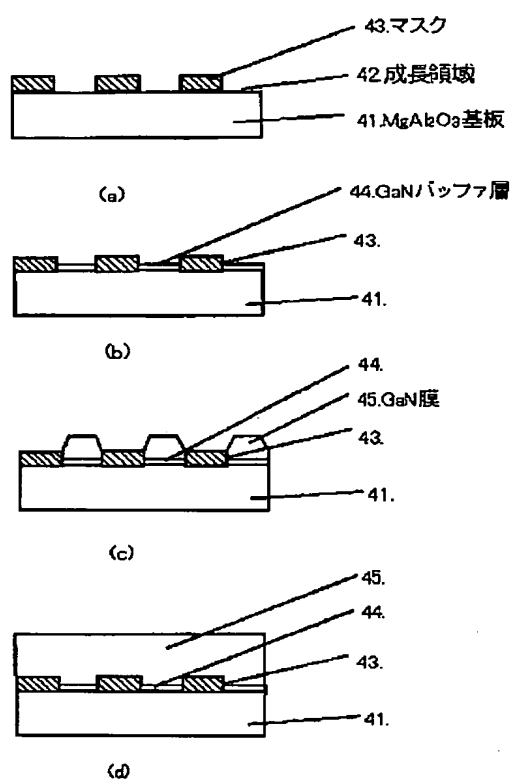
【図2】



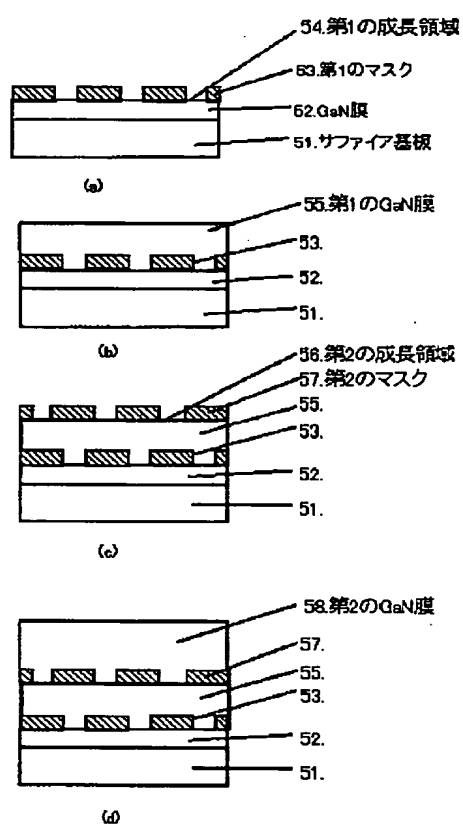
【図3】



【図4】



【図5】



【図6】

